



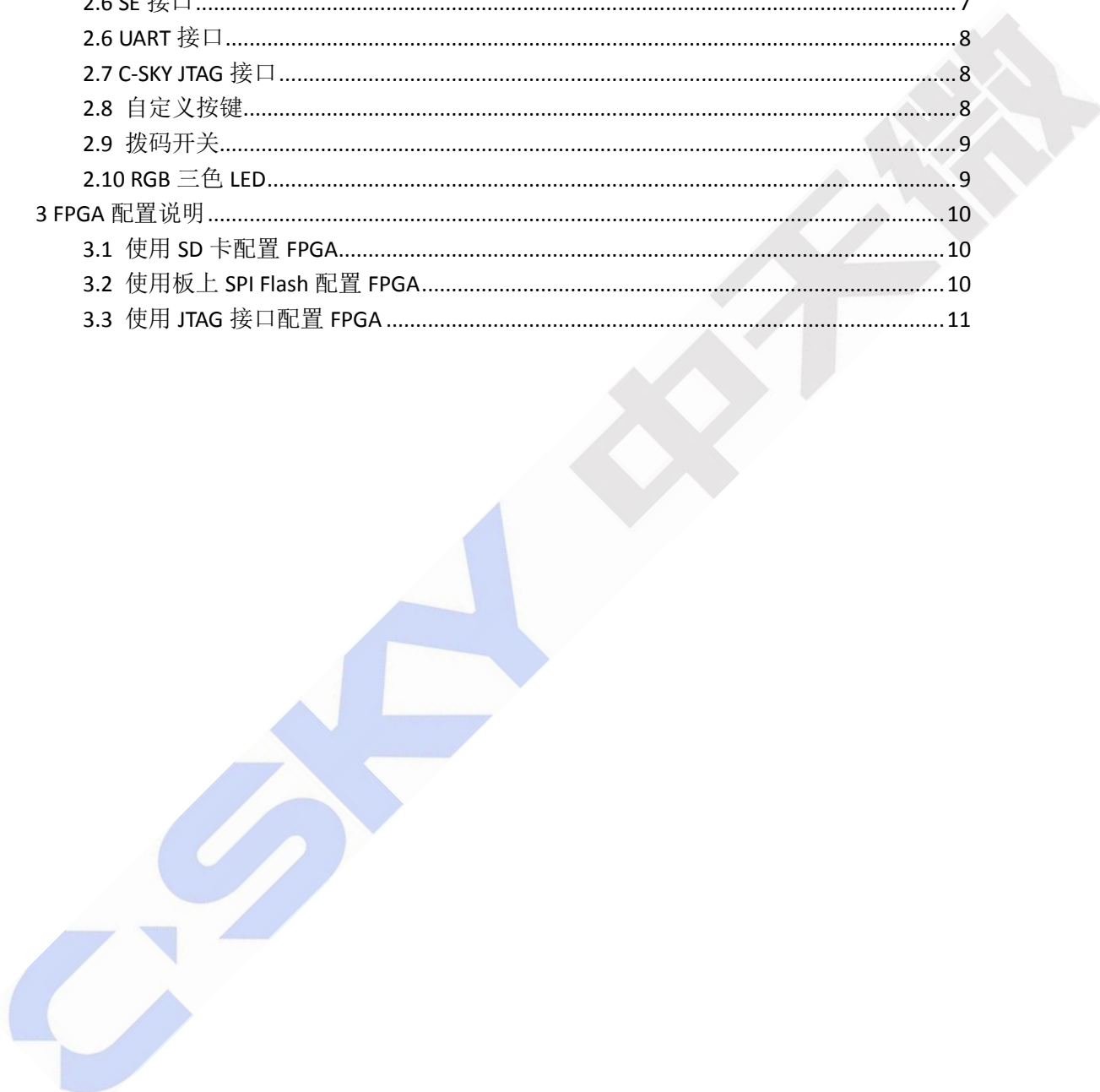
C-SKY XC7A FPGA 开发板 用户手册

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

目录

1.开发板简介.....	2
1.1 关于 FPGA.....	2
1.2 板上资源简介.....	2
1.3 总览	3
2. 板上器件和接口.....	4
2.1 电源方案.....	4
2.2 时钟和复位源.....	4
2.3 存储器.....	5
2.4 YoC 接口.....	7
2.6 SE 接口.....	7
2.6 UART 接口.....	8
2.7 C-SKY JTAG 接口.....	8
2.8 自定义按键.....	8
2.9 拨码开关.....	9
2.10 RGB 三色 LED.....	9
3 FPGA 配置说明	10
3.1 使用 SD 卡配置 FPGA.....	10
3.2 使用板上 SPI Flash 配置 FPGA.....	10
3.3 使用 JTAG 接口配置 FPGA	11



C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

1. 开发板简介

C-SKY 开发的基于 Xilinx Artix-7 系列 FPGA 的开发板主要用于 C-SKY 中低端 CPU 核的验证和评估。可验证 CK801、CK802、CK803s 等系列 CPU 核。板上集成了 Xilinx Artix-7 XC7A200T FPGA 芯片，16MB 的 PSRAM，32MB 的 NOR-Flash，还集成了两颗 STM32F103 芯片，一颗内嵌了 C-SKY CKLink 固件用于调试 C-SKY CPU 核，另一颗内嵌了开发板系统管理固件用于 FPGA 电源管理及 FPGA bit 文件配置。开发板上具有 8 个 2x12Pin 的 YOC 接口，可连接符合 YOC 硬件协议标准的子板。

1.1 关于 FPGA

Xilinx 7 系列 FPGA 采用 28nm HKMG HPL 工艺，大幅提高了 FPGA 性能和容量，同时比上一代产品功耗减少 50%。7 系列下有 3 个产品线，Artix-7 面向于低功耗低成本应用；Kintex-7 用于最佳的性价比同时比上一代的产品有 2 倍的性能提升；Virtex-7 采用堆叠式硅互联技术带来更大的容量和系统性能。

本开发板采用了 XC7A200T1FBG484I 主要逻辑资源如下：

- 215360 逻辑单元
- 33650 个 Slice
- 740 DSP48E1 Slice，每个 slice 包括 pre-adder, 28x18 multiplier, adder, accumulator
- 13140 Kb 的 Block RAM Blocks 包括 730 个 18Kb 或者 365 个 36Kb Block RAM
- 10 个 CMT，每个 CMT 包括一个 MMCM 和一个 PLL

Artix-7 中的 LUT 可以配置成 6 输入 1 输出的 LUT，或者两个相同 5 输入不同输出的 LUT，每个 LUT 输出可以选择是否由寄存器输出。4 个这样的 LUT 和连接他们的 8 个寄存器，以及多路选择器和算术运算进位逻辑一起组成一个 slice；两个这样的 slice 组成了一个 CLB（Configurable Logic Block）。LUT 中的一个寄存器可以被配置成锁存器。大约 25%到 50%的 slice 可以将他们的 LUT 配置成 64-bit RAM 或者 32-bit 移位寄存器，或两个 16 位移位寄存器。

CMT（Clock Management Tile）可作为高速时钟缓冲和低斜率时钟信号分配，频率合成或者相位偏移等功能。每个 CMT 中包括一个 MMCM（Mixed-Mode Clock Manager）和一个 PLL（Phase-Locked Loop）。

36Kb Block RAM 为双端口 RAM，数据宽度最大 72 位，每个端口数据共享，其他完全独立。每个端口都可独立配置成 32K x 1, 16K x 2, 8K x 4, 4K x 9(8), 2K x 18, 1K x 36, 512x72(64)。每个 Block RAM 都可以被分成两个独立的 18Kb Block RAM，并且每个 18Kb Block RAM 与 36Kb Block RAM 用法相同。

其他的 FPGA 逻辑资源介绍和使用请参考开发板附带资料中的参考文档。

1.2 板上资源简介

板上除了 FPGA 之外，还有一些电源管理芯片，存储器等器件和接口。

- 16Mbyte PSRAM，32 位数据位宽；

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

File Name:
No:



- 32Mbyte NOR-FLASH，32 位数据位宽，FLASH 和 SRAM 共用地址总线和数据总线；
- 用于 CPU 调试的 C-SKY CKLink-Lite USB 接口；
- 用于 FPGA 配置的 USB 接口；
- 一个 SD 卡插槽用于安装存储 FPGA bit 文件的 SD 卡；
- 独立的 C-SKY JTAG 接口，可外接 CKLink 调试设备；
- 独立的 FPGA JTAG 接口，可外接 Xilinx 下载器；
- 8 个 YoC 标准接口，1 个 SE 安全扩展接口，3 个 UART 接口；
- 一个电源控制按键，一个 FPGA 重配置按键；
- 2 个时钟源，2 个复位按键；
- 4 个用户可用按键，2 个 4 位拨码开关，1 个 RGB LED；
- 1 个 FPGA 启动方式选择开关

1.3 总览

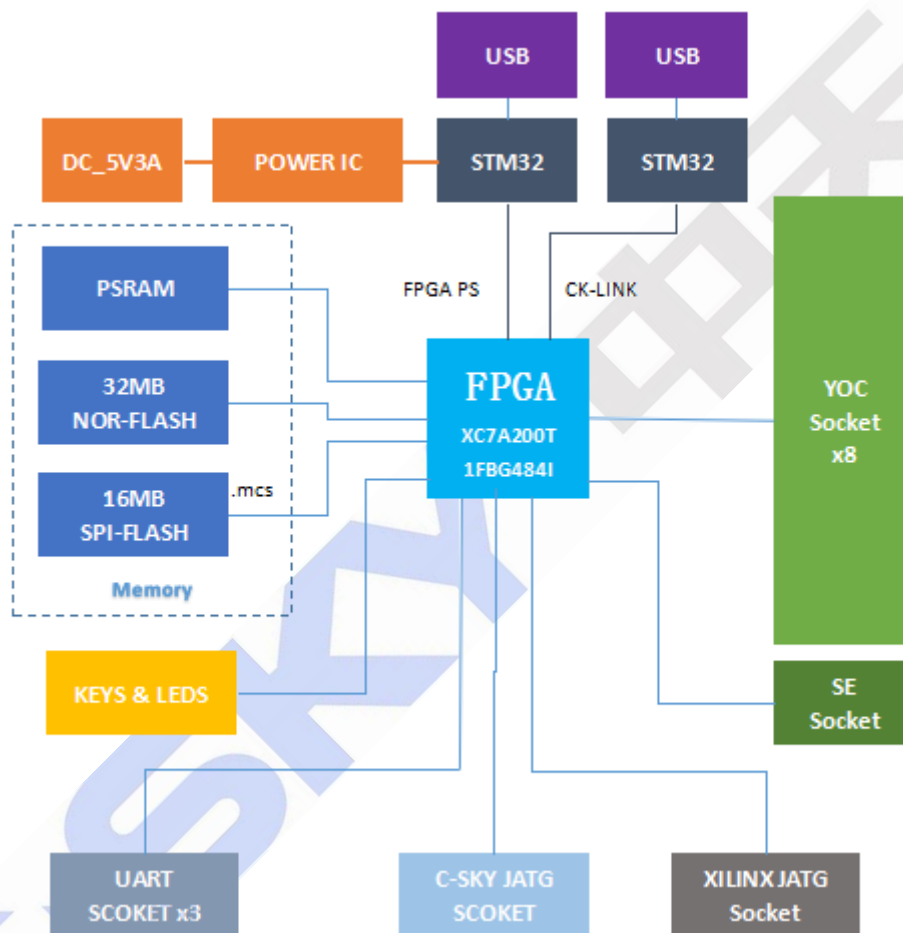


图 1-1 XC7A-FPGA 开发板框图

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

2.板上器件和接口

2.1 电源方案

系统使用 5V 输入电源，采用 DC005 内正外负接口，不得接入任何高于 5V 的电源。开发板提供多路电源，如表 2-1 所示：

表 1-1 开发板电源

电源名称	电压，最大电流	说明
VDD5V0	5V3A	YOC 5V 电源及其它 DC 芯片的电源
VDDMCU3V3	3.3V/0.5A	STM32F103-PM 电源
VDD_CMCU3V3	3.3V/0.5A	STM32F103-CSKY 电源，接入 J18 时开启
VDDINT1V0	1.0V/1.5A	FPGA 内核及 block RAM 供电
VDDAUX1V8	1.8V/1.5A	FPGA 辅助供电
VDDON3V3	3.3V/1.5A	FPGA IO banks 供电
VDDMEM3V3	3.3V/1.5A	NOR FLASH 及 PSRAM 芯片供电
VDDPRE3V3	3.3V/2A	其余外设芯片供电及 YOC 3.3V 电源

FPGA 电源、MEM 电源及外设 3.3V 电源由 STM32F103-PM MCU 控制。接入 5V 输入电源按下 POWER 按键后，MCU 控制上述电源按顺序上电，以确保 FPGA 正确启动，同时 D7 处的 LED 以类似呼吸的方式亮起指示 MCU 正常工作。上电顺序为：

VDDINT1V0 -> VDDAUX1V8 -> VDDON3V3 & VDDMEM3V3 -> VDDPRE3V3

如需要断开 FPGA 电源或关闭开发板电源，不要直接拔掉 5V 输入电源，应先按 POWER 键，关闭 FPGA 电源，才可以拔掉 5V 输入电源。

注意：开发板总功率为 15W，如果外接子板功率较大，需要在子板上另接电源。

2.2 时钟和复位源

板上分别设计了两路时钟源和两路复位源，如下表 2-2 所示：

表 2-2 时钟和复位源

时钟源	值	引脚分配
OSC2	20 MHz	B17
OSC3	48 MHz	E19
复位源	值	引脚分配
K1	按下低电平	W11
K2	按下低电平	Y11

注：两路复位源都带有外部的 10K 上拉电阻上拉到 3.3V，按下按键时，按键引脚直接连接到 GND。

2.3 存储器

板上设计了 16/32/64MB 的 PSRAM 和 32MB 的 NOR-FLASH。FLASH 使用两片 Spansion S29GL128S 芯片，进行数据扩展,容量为 32MB。PSRAM 使用两片 EM7644SU16ASZP 芯片进行数据扩展，PSRAM 访问方式与上一代开发板的 SRAM 访问方式一致，容量为 16MB。

FLASH 和 PSRAM 的数据总线都是 32 位宽,并且 FLASH 和 PSRAM 的数据总线是复用的,地址总线也是复用的。FLASH 和 PSRAM 具有独立的 CS 控制芯片,但共享读写使能和输出使能信号。其中 PSRAM 还有独有的 4 个 BSEL 信号和 1 个 NZZ 信号。

核心板上还有一颗 QSPI 接口的 NOR-FLASH 芯片 N25Q128A13ESE,容量为 16MB,专门用来存储 FPGA 配置文件,用户不可用。当设置为主串配置时,FPGA 从该芯片读取配置信息完成配置。

FLASH 和 PSRAM 与 FPGA 引脚的连接如表 2-3 所示:

表 2-3 FLASH,PSRAM 和 FPGA 的连接关系

信号名	FLASH U4	FLASH U5	SRAM U6	SRAM U7	FPGA U1
FLASH_NWP	U4.16	U5.16	--	--	U1.L6
FLASH_NRST	U4.14	U5.14	-	-	U1.L5
FLASH_NCE	U4.32	U5.32	-	-	U1.M1
MEM_NOE	U4.34	U5.34	U6.A2	U7.A2	U1.G1
MEM_NWE	U4.13	U5.13	U6.G5	U7.G5	U1.L3
PSRAM_NCE	--	--	U6.B5	U7.B5	U1.D2
PSRAM_NZZ	--	--	U6.A6	U7.A6	U1.D1
PSRAM_BSEL0	--	--	U6.A1	--	U1.B1
PSRAM_BSEL1	--	--	U6.B2	--	U1.C2
PSRAM_BSEL2	--	--	--	U7.A1	U1.A1
PSRAM_BSEL3	--	--	--	U7.B2	U1.B2
DATA[0]	U4.35	--	U6.B6	--	U1.T1
DATA[1]	U4.37	--	U6.C5	--	U1.T4
DATA[2]	U4.39	--	U6.C6	--	U1.T3
DATA[3]	U4.41	--	U6.D5	--	U1.T5
DATA[4]	U4.44	--	U6.E5	--	U1.T6
DATA[5]	U4.46	--	U6.F5	--	U1.R2
DATA[6]	U4.48	--	U6.F6	--	U1.R3
DATA[7]	U4.50	--	U6.G6	--	U1.R6
DATA[8]	U4.36	--	U6.B1	--	U1.U6
DATA[9]	U4.38	--	U6.C1	--	U1.U3
DATA[10]	U4.40	--	U6.C2	--	U1.U5
DATA[11]	U4.42	--	U6.D2	--	U1.U2
DATA[12]	U4.45	--	U6.E2	--	U1.U1
DATA[13]	U4.47	--	U6.F2	--	U1.V3
DATA[14]	U4.59	--	U6.F1	--	U1.V4
DATA[15]	U4.51	--	U6.G1	--	U1.V2
DATA[16]	--	U5.35	--	U7.B6	U1.Y3

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

File Name:



No:

DATA[17]	--	U5.37	--	U7.C5	U1.Y4
DATA[18]	--	U5.39	--	U7.C6	U1.Y6
DATA[19]	--	U5.41	--	U7.D5	U1.W1
DATA[20]	--	U5.44	--	U7.E5	U1.W4
DATA[21]	--	U5.46	--	U7.F5	U1.W5
DATA[22]	--	U5.48	--	U7.F6	U1.W6
DATA[23]	--	U5.50	--	U7.G6	U1.W7
DATA[24]	--	U5.36	--	U7.B1	U1.Y2
DATA[25]	--	U5.38	--	U7.C1	U1.Y1
DATA[26]	--	U5.40	--	U7.C2	U1.AA4
DATA[27]	--	U5.42	--	U7.D2	U1.AA3
DATA[28]	--	U5.45	--	U7.E2	U1.AA1
DATA[29]	--	U5.47	--	U7.F2	U1.AB3
DATA[30]	--	U5.59	--	U7.F1	U1.AB2
DATA[31]	--	U5.51	--	U7.G1	U1.AB1
ADDR[0]	U4.31	U5.31	U6.A3	U7.A3	U1.G2
ADDR[1]	U4.26	U5.26	U6.A4	U7.A4	U1.E1
ADDR[2]	U4.25	U5.25	U6.A5	U7.A5	U1.E3
ADDR[3]	U4.24	U5.24	U6.B3	U7.B3	U1.H5
ADDR[4]	U4.23	U5.23	U6.B4	U7.B4	U1.E2
ADDR[5]	U4.22	U5.22	U6.C3	U7.C3	U1.G3
ADDR[6]	U4.21	U5.21	U6.C4	U7.C4	U1.F4
ADDR[7]	U4.20	U5.20	U6.D4	U7.D4	U1.F1
ADDR[8]	U4.10	U5.10	U6.H2	U7.H2	U1.H2
ADDR[9]	U4.9	U5.9	U6.H3	U7.H3	U1.J5
ADDR[10]	U4.8	U5.8	U6.H4	U7.H4	U1.K3
ADDR[11]	U4.7	U5.7	U6.H5	U7.H5	U1.K1
ADDR[12]	U4.6	U5.6	U6.G3	U7.G3	U1.J6
ADDR[13]	U4.5	U5.5	U6.G4	U7.G4	U1.K2
ADDR[14]	U4.4	U5.4	U6.F3	U7.F3	U1.J2
ADDR[15]	U4.3	U5.3	U6.F4	U7.F4	U1.K4
ADDR[16]	U4.54	U5.54	U6.E4	U7.E4	U1.K6
ADDR[17]	U4.19	U5.19	U6.D3	U7.D3	U1.G4
ADDR[18]	U4.18	U5.18	U6.H1	U7.H1	U1.H4
ADDR[19]	U4.11	U5.11	U6.G2	U7.G2	U1.H3
ADDR[20]	U4.12	U5.12	U6.H6	U7.H6	U1.L1
ADDR[21]	U4.15	U5.15	U6.E3	U7.E3	U1.J1
ADDR[22]	U4.2	U5.2	-	-	U1.L4

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

2.4 YoC 接口

开发板具有 8 个 YoC 标准接口，YoC 接口和 FPGA 的连接关系如表 2-4 所示：

表 2-4 YoC 接口与 FPGA 连接关系

FPGA-Pin	SOCKET1	SOCKET2	SOCKET3	SOCKET4	SOCKET5	SOCKET6	SOCKET7	SOCKET8
YoC.01	T15	AB17	M21	L18	H14	B22	A16	AB8
YoC.02	GND	GND	GND	GND	GND	GND	GND	GND
YoC.03	P15	AB18	N17	L15	H18	B21	B16	V9
YoC.04	U15	Y18	N13	L21	H15	C22	A14	AA8
YoC.05	AA16	V18	N19	L19	J20	C20	F16	Y9
YoC.06	Y16	AA18	N18	K18	H19	A21	E16	W9
YoC.07	R16	AA19	N14	K16	G13	B20	A15	V10
YoC.08	AB16	W19	N20	K13	H22	A20	D16	AA9
YoC.09	P16	AA20	N22	K17	H20	A19	D15	AA10
YoC.10	GND	GND	GND	GND	GND	GND	GND	GND
YoC.11	R17	W20	N15	K14	G16	F20	F15	AA11
YoC.12	U16	V19	M15	K19	G15	D20	B15	AB10
YoC.13	V17	U20	M17	J14	G18	C18	D14	AB12
YoC.14	T16	AB20	M13	K22	G17	C19	C15	AB11
YoC.15	P17	T20	M18	J16	G21	F19	F14	AA13
YoC.16	W16	V20	M16	K21	G22	F18	C14	AB13
YoC.17	Y17	U21	M22	J15	F21	A18	B13	AA14
YoC.18	U17	W21	L13	J22	E22	E18	A13	Y13
YoC.19	GND	GND	GND	GND	GND	GND	GND	GND
YoC.20	VDD3V3	VDD3V3	VDD3V3	VDD3V3	VDD3V3	VDD3V3	VDD3V3	VDD3V3
YoC.21	T18	Y22	M20	J19	E21	D17	C13	W14
YoC.22	VDD5V0	VDD5V0	VDD5V0	VDD5V0	VDD5V0	VDD5V0	VDD5V0	VDD5V0
YoC.23	R18	W22	L14	J17	D22	E17	F13	T14
YoC.24	W17	Y21	L20	J21	D21	C17	E13	Y14

2.6 SE 接口

开发板上有 1 个 SE（安全）接口，与 FPGA 的连接关系如表 2-5 所示：

表 2-5 SE 接口连接关系

SE 接口	信号名	FPGA U1
J12.1	GND	
J12.2	NC	
J12.3	SE_IO	U1.AB22
J12.4	NC	
J12.5	NC	

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

J12.6	SE_CLK	U1.AA21
J12.7	SE_RST	U1.AB21
J12.8	VDD3V3	

2.6 UART 接口

开发板上有 3 个 UART 接口，分别是 J9, J10, J11。3 个接口与 FPGA 之间的联系关系如下表所示。

表 2-6 UART 接口连接关系

	J9 <-> FPGA	J10 <-> FPGA	J11 <-> FPGA
Pin1 - TXD	N3	N5	M5
Pin2 - RXD	N4	M2	M6
Pin3 - GND	GND	GND	GND

2.7 C-SKY JTAG 接口

开发板上有 1 个 C-SKY JTAG 接口，用于调试 C-SKY CPU 核，与 FPGA 的连接关系如表 2-7 所示：

表 2-7 C-SKY JTAG 连接关系

C-SKY JTAG 接口	信号名	FPGA U1
J8.1	CSKY_TDI	U1.V13
J8.2	GND	
J8.3	CSKY_TDO	U1.V14
J8.4	GND	
J8.5	CSKY_TCK	U1.AA15
J8.6	GND	
J8.7	NC	
J8.8	NC	
J8.9	CSKY_Nrst	U1.AB15
J8.10	CSKY_TMS	U1.P14
J8.11	NC	
J8.12	NC	
J8.13	VDD3V3	
J8.14	CSKY_TRST	U1.W15

2.8 自定义按键

开发板提供了 4 个自定义按键，其均接了 10k 上拉电阻到 3.3V 上。当按键按下时，输

出为 0。按键与 FPGA 的连接关系如表 2-8 所示:

表 2-8 自定义按键与 FPGA 连接关系

自定义按键	信号名	FPGA U1
K3	KEY1	U1.AB7
K4	KEY2	U1.Y8
K5	KEY3	U1.AB6
K6	KEY4	U1.V8

2.9 拨码开关

开发板提供了 8 位拨码开关，其均接了 10k 上拉电阻到 3.3V 上。当拨动到 on 时，输出为 0。拨码开关与 FPGA 的连接关系如表 2-9 所示:

表 2-9 拨码开关与 FPGA 连接关系

拨码开关	信号名	FPGA U1
S1.1	SW1	U1.P2
S1.2	SW2	U1.P1
S1.3	SW3	U1.R1
S1.4	SW4	U1.U7
S2.1	SW5	U1.V7
S2.2	SW6	U1.AA5
S2.3	SW7	U1.AB5
S2.4	SW8	U1.Y7

2.10 RGB 三色 LED

开发板提供了 1 个 RGB 三色 LED，与 FPGA 的连接关系如表 2-10 所示:

表 2-10 RGB 三色 LED 与 FPGA 连接关系

拨码开关	信号名	FPGA U1
D2.2	LED_B	U1.P4
D2.4	LED_G	U1.P5
D2.6	LED_R	U1.N2

3 FPGA 配置说明

Xilinx FPGA 配置数据存放在 CMOS 配置缓存 (CCL) 中, 每次上电都需要重新配置。FPGA 支持自动从外部存储器读取数据配置自己, 或者通过外部主控器件如 MCU, DSP 或者测试机等配置。7 系列 FPGA 支持 7 中配置模式:

- Master Serial
- Slave Serial
- Master SelectMAP (x8, x16)
- Slaver SelectMAP (x8, x16, x32)
- JTAG
- Master SPI (x1, x2, x4)
- Master BPI (x8, x16)

配置模式是在 FPGA 上电时由 M[2:0]FPGA 引脚决定的。对于每个特定型号的 FPGA, 其配置文件 (.bit 文件) 大小也是确定的。本开发板选用的 XC7A200T 系列的配置文件大小为 77,845,216 bits, 外部适合使用 128Mb 的配置用 Flash 存储器。关于 7 系列 FPGA 配置的说明, 用户可参考 Xilinx 文档 [UG470](#)。

- 开发板支持的配置模式有: Slave Serial, Master SPI (x4) 和 JTAG。

3.1 使用 SD 卡配置 FPGA

开发板上的 STM32F103-PM 具有通过 Slave Serial 模式配置 FPGA 的功能。

使用此功能前需要将配置 FPGA 用的 bit 文件存放到 micro SD 卡中。可以通过额外的 micro SD 卡读卡器存放 bit 文件; 也可以直接将 micro SD 卡装入开发板中, 再用 USB 线连接开发板和 PC。开发板开机后, PC 上会出现可移动磁盘, 将 bit 文件拷贝到 micro SD 卡中, 拷贝需要耗费约 1 分钟时间。**bit 文件的名称必须改为 cfg.bit。**

将 J15 处的跳帽跳到 PS 处, MCU 会根据此跳帽设置 M[0:2]。

再按下 RE-PRO 键, FPGA 自动初始化, MCU 会读取 bit 文件并配置 FPGA。配置过程中, D7 处的 LED 从呼吸状态转换为闪烁状态, 配置完毕后, LED 会重新进入呼吸状态。如果配置成功, D3 处亮起绿灯, 否则亮红灯。

3.2 使用板上 SPI Flash 配置 FPGA

与 FPGA 连接的一个 SPANSION 128Mb 串行 Flash N25Q128A13 用作在 Master SPI (x4) 模式下存储配置文件。用户可以使用 Xilinx Vivado 将 bit 文件转换成存储在 Flash 中的 mcs 文件, 并通过 Xilinx Platform USB Cable 将 mcs 文件烧写到 Flash 中。

1. 在 vivado 的 Tcl Console 窗口中执行 `cd /you/work/dir` 进入 bit 文件所在目录;
2. 再执行 `write_cfgmem -format mcs -interface spix4 -size 128 -loadbit "up 0 xxx.bit" -file Untitled.mcs -force` 可以生成 mcs 文件

然后将 mcs 文件配置到 FLASH 中:

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

File Name:

No:



1. 在 Hardware Manager 窗口中，右键器件->Add Configuration Memory Device ...;
2. 选择正确的 memory 型号: **Micro -> 128 -> SPI -> x1_x2_x4 -> n25q128-3.3v;**
3. 选择 mcs 文件，其他默认不要改动;

为正确配置 FPGA 和 FLASH，需要在 vivado 工程的约束文件中加入以下语句:

```
set_property CONFIG_VOLTAGE 3.3 [current_design]
set_property CFGBVS VCC0 [current_design]
set_property CONFIG_MODE SPIx4 [current_design]
set_property BITSTREAM.CONFIG.SPI_BUSWIDTH 4 [current_design]
set_property BITSTREAM.CONFIG.CONFIGRATE 40 [current_design]
set_property BITSTREAM.CONFIG.EXTMASTERCLK_EN DIV-2 [current_design]
```

将 J15 处的跳帽跳到 AS 处，MCU 会根据此跳帽设置 M[0:2]。

在 Master SPI (x4) 模式下，按 RE-PROG 键，可以实现初始化 FPGA 并从 Flash 中读取 mcs 文件配置 FPGA。

3.3 使用 JTAG 接口配置 FPGA

通过 JTAG 模式配置 FPGA，无需设置 J15 跳帽。

启动 Vivado 软件，点击” Open Hardware Manager”，进入 Hardware Manager 窗口；
在 Hardware Manager 窗口中，点击“Tools” -> “Auto Connect”；
连接成功后，会在 Hardware 面板中看到器件型号，然后右键器件->Program Device；
选择 bit 文件，将 bit 文件配置到 FPGA 器件中

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).